

**Inner self-testing and redundancy programming - carries out inner programming of redundancy bit or word coders, corresp. to determined redundancy structure**

**Patent number:** DE3924695  
**Publication date:** 1990-02-22  
**Inventor:**  
**Applicant:** DRESDEN MIKROELEKTRONIK (DD)  
**Classification:**  
 - international: G06F11/28; G11C29/00  
 - european: G11C29/00R8F  
**Application number:** DE19893924695 19890726  
**Priority number(s):** DD19880318971 19880816

**Also published as:**

NL8902076 (A)  
 FR2635607 (A1)  
 DD274923 (A1)  
 IT1232516 (B)

**Abstract of DE3924695**

The programming for memory circuits permits starting an internal self-tutoring of the memory, on application of an operational voltage and attaining an inner stability. According to the determined redundancy structure, an internal programming of redundancy bit decoders (6) or redundancy word coders (7) is carried out. The included associative memory cells (30) in the coders are allocated to bit (2.4), or word lines (2.5). During the redundancy programming, at the self-test start, a reset redundancy validity FF (33) is adjusted. The positive end of the self-test releases blocked control inputs and possibly a signal at an output pin (MR). With a faultless memory matrix (2), an irreversible memory element (25) is programmed. **ADVANTAGE** - No atypical conditions on programming of redundant lines.

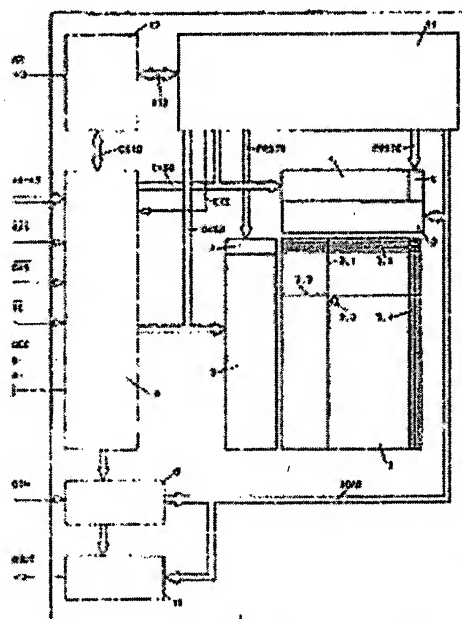


Fig. 1

Data supplied from the esp@cenet database - Worldwide

⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Offenlegungsschrift  
⑪ DE 39 24 695 A 1

⑤ Int. Cl. 5:  
G 11 C 29/00  
G 06 F 11/28

⑳ Aktenzeichen: P 39 24 695.7  
㉑ Anmeldetag: 26. 7. 89  
㉒ Offenlegungstag: 22. 2. 90

DE 39 24 695 A 1

③① Unionspriorität: ③② ③③ ③①  
16.08.88 DD WP G 11 C/318971

⑦① Anmelder:  
VEB Forschungszentrum Mikroelektronik Dresden,  
DDR 8080 Dresden, DD

⑦② Erfinder:

Weiß, Stefan, Dipl.-Ing., DDR 8029 Dresden, DD;  
Elschner, Horst, Prof. Dr.sc.techn., DDR 8046  
Dresden, DD; Knobloch, Jens, Dr.-Ing., DDR 8036  
Dresden, DD; Paesch, Klaus-Detlef, Dr.-Ing., DDR  
8020 Dresden, DD

⑤④ Internes Selbsttest- und Redundanzprogrammierungsverfahren für Speicherschaltkreise und Anordnung zur Durchführung des Verfahrens

Die Erfindung betrifft ein internes Selbsttest- und Redundanzprogrammierungsverfahren für Speicherschaltkreise und eine Anordnung zur Durchführung des Verfahrens. Dabei wird bei Einschalten der Betriebsspannung durch einen internen Selbsttest-Prozessor mit einem Mikroprogramm-speicher der Speicherschaltkreis geprüft und die Fehler-adressen werden ermittelt und verdichtet. Die verdichteten Fehleradressen werden in Redundanz-Bit-/Wortdekoder eingeschrieben, die reversibel programmierbare Assoziativ-speicherzellen enthalten. Anschließend werden die ange-wählten Redundanzleitungen erneut geprüft.

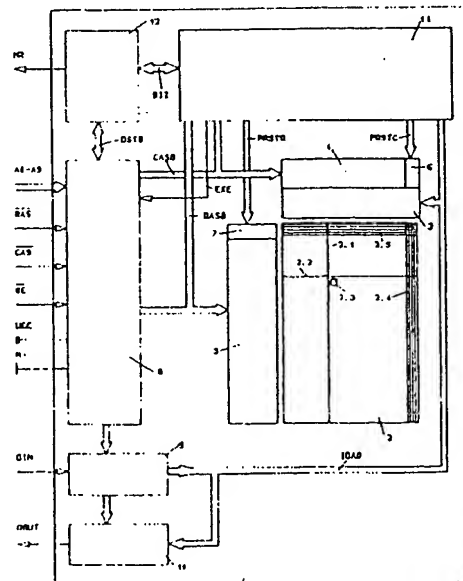


Fig. 1

DE 39 24 695 A 1

## Beschreibung

Die Erfindung betrifft ein internes Selbsttest- und Redundanzprogrammierungsverfahren für Speicherschaltkreise der Höchstintegration. Es dient zur selbsttätigen Redundanzprogrammierung der fehlerhaften Speicherschaltkreise bei Inbetriebnahme des Speichers bzw. auf externe Aufforderung.

Zur Verkürzung der Testerprüfzeit sind außer dem bekannten  $m$ -bit Testmode weitere unterschiedliche Verfahren bekannt. In der IEEE-International Test Conference 1987 ist ein Paralleltest-Verfahren beschrieben, das auf der Grundlage zusätzlicher interner Baugruppen auf dem Tester durchgeführt wird. Es erlaubt eine Testzeitreduzierung proportional  $N/2$ , was bei steigendem Integrationsgrad eine spürbare Verringerung der benötigten Testzeit gegenüber herkömmlichen Testverfahren beinhaltet. Eine weitere Möglichkeit der Reduzierung von externer Testerzeit wird durch eine vollständige interne Testung des Speicherschaltkreises erzielt, die durch einen internen Selbsttest-Prozessor durchgeführt wird. Ein Konzept dafür ist in der IEEE-Int. Test Conf. 1987, S. 45 vorgestellt, bei dem die Fehleradressen vom Speicherschaltkreis ausgegeben werden bzw. eine interne Redundanzprogrammierung mittels irreversibel programmierbarer Speicherelemente erfolgt. Nachteilig sind die bei der Programmierung irreversibler Speicherelemente untypischen Betriebsbedingungen von erhöhten Spannungen bzw. Strömen bzw. die zusätzlichen Technologieschritte bei der Verwendung von EPROM-Zellen.

Das Ziel der Erfindung besteht darin, ein internes Selbsttest- und Redundanzprogrammierungsverfahren für Speicherschaltkreise sowie die zur Durchführung des Verfahrens notwendige Anordnung zu schaffen, die lediglich die für die Herstellung des Speicherschaltkreises erforderliche Technologie benötigt und beim Programmieren redundanter Leitungen keine untypischen Betriebsbedingungen erzeugt.

Die Erfindung löst die Aufgabe dadurch, daß mittels des internen Selbsttest-Prozessors mit Betriebsbeginn der Speicherschaltkreis getestet und die fehlerhaften Leitungen mittels entsprechend programmierter statischer Speicherzellen ersetzt werden. Die Erfindung betrifft ein internes Selbsttest- und Redundanzprogrammierungsverfahren für Speicherschaltkreise, bei dem nach Anlegen der Betriebsspannung und Erreichen der internen Stabilität das intern gespeicherte Selbsttestverfahren gestartet wird. Nach dem Start werden die externen Steuereingänge, Adressen sowie die Datenein-/ausgänge des Speicherschaltkreises verriegelt. Danach wird zuerst ein interner, zur Durchführung des Verfahrens benötigter Selbsttest-Prozessor intern geprüft. Danach werden die Datenwege des Speicherschaltkreises geprüft und anschließend wird die Matrix mit den Speicherzellen geprüft.

Dabei werden die Fehleradressen in einer Registerbank des Selbsttest-Prozessors gespeichert und aus der Verteilung der Fehleradressen die optimale Redundanzstruktur ermittelt. Nach erfolgter Redundanzprogrammierung werden die ausgewählten Redundanz-Bit- bzw. Wortleitungen dem Selbsttest unterzogen. Erfindungsgemäß erfolgt entsprechend der ermittelten Redundanzstruktur eine interne Programmierung von Redundanz-Bit- bzw. Wortdekodern, die löschbare Assoziativspeicherzellen enthalten. Diese Assoziativspeicherzellen verlieren nach dem erneuten Abschalten des Speicherschaltkreises ihre Information und werden mit Ein-

schalten jedesmal neu programmiert.

Den Redundanz-Bit- bzw. Wortdekodern sind auf bekannte Weise die Redundanz-Bit- bzw. Wortleitungen zugeordnet. Weiterhin wird bei einer Redundanzprogrammierung ein dem jeweiligen Redundanz-Bit- bzw. Wortdeko- 5 der zugeordnetes Redundanz-Gültigkeits-FF mit dem Einschreiben der Fehleradresse in die Assoziativspeicherzellen gesetzt, welches mit Start des Verfahrens rückgesetzt wurde. Nach dem Selbsttestverfahren wird die positive Beendigung des Selbsttestverfahrens durch ein Signal an einem Ausgangspin und/oder durch Freigabe der verriegelten Steuereingänge, Adressen und Datenein-/ausgänge angezeigt. Bei fehlerfreier Speicher- 10 matrix wird ggf. ein irreversibles Speicherelement programmiert. Das dient zur Blockierung des Selbsttestes beim Einschalten des Speicherschaltkreises, da hierbei keine Redundanzprogrammierung mehr notwendig ist.

Dadurch lassen sich Anfalltypen für schnelle Betriebsbereitschaft selektieren. Die Anordnung zur Durchführung des Verfahrens besteht aus einem Speicherschaltkreis mit Matrix, Sensorverstärkern, Bit- und Wortdekodern, einer Steuerlogik, Datenein-/ausgangsstufen. Die Matrix enthält Redundanz-Bit- bzw. Wortdeko- 20 der mit zugeordneten Redundanz-Bit- bzw. Wortleitungen in üblicher Organisationsform. Weiterhin enthält der Speicherschaltkreis einen Selbsttestprozessor sowie eine Auswerte- und Startlogik. Dabei enthält der Selbsttest-Prozessor einen Mikroprogrammspeicher, eine Steuerlogik, einen Mikroprogramm-Befehlszähler, eine ALU, eine Registerbank und eine Tristate-Bustreiberstufe. Die Registerbank enthält mit einer der Zahl und Redundanzleitungen entsprechenden Anzahl von Registern, bei je vier Redundanz-Bit- bzw. Wortleitungen 2 35  $(R_x \cdot R_y) = 32$  Register. Die Auswerte- und Startlogik enthält einen Selbsttest-Zustandsmultiplexer und eine Startlogikschaltung, die mit der Peripherie über ein Ausgangspin verknüpft sind.

Erfindungsgemäß ist die Prozessorsteuerlogik über einen Steuersignal-Bus, der die zu ersetzenden Adreß-Signale führt, mit einem Steuersignalregister verbunden. Das Steuersignalregister ist über einen Spalten- bzw. Zeilen-Steuersignal-Bus mit den Redundanz-Bit- bzw. Wortdekodern verbunden. Der Redundanz-Bit- bzw. Wortdeko- 45 der enthält dabei Assoziativspeicherzellen entsprechend der bei der Organisationsform benötigten Anzahl von Adreßleitungen. Jede Assoziativspeicherzelle enthält eine sRAM-Zelle und einen von der sRAM-Zelle und den Adreß-Signalen auf den Adreßleitungen gesteuerten Komparator, der an einer allen Assoziativspeicherzellen eines Redundanz-Bit- bzw. Wortdekoders gemeinsamen Redundanz-Auswahlleitung angeschlossen ist. Jedem Redundanz-Bit bzw. Wortdeko- 50 der ist ein vom zugehörigen Spalten- bzw. Zeilen-Steuersignal-Bus gesteuerter Schreibsignaldeko- der zugeordnet, dessen ausgangsseitige Schreibleitung mit den Gates der Auswahltransistoren der sRAM-Zellen in den Assoziativspeicherzellen verbunden ist. Weiterhin ist jedem Redundanz-Bit- bzw. Wortdeko- 60 der ein Redundanz-Gültigkeits-FF zugeordnet, dessen Rücksetzeingang mit einer Steuerleitung im Spalten- bzw. Zeilen-Steuersignalbus und dessen Setzeingang mit der Schreibleitung verbunden ist. Dieses FF übernimmt dabei die Rolle eines Hauptfußes und die Assoziativspeicherzellen übernehmen die Rolle von Adreßfüßen traditionell programmierter Redundanz. Der Ausgang des Redundanz-Gültigkeits-FF liegt an einem Transistor an, der zwischen der Redundanz-Auswahlleitung und Mas-

se angeordnet ist und die Redundanz-Auswahlleitung im rückgesetzten Zustand des FF ständig inaktiv hält. Weiterhin enthält die Auswerte- und Startlogik einen vom Zustandsmultiplexer gesteuerten Open-Drain-Transistor, einen Resetsignaltrigger zum externen Start des Selbsttestverfahrens sowie ggf. weitere Programmiermittel. In Ausgestaltung der Erfindung ist der Zustandsmultiplexer über eine Steuerleitung mit einer Programmierschaltung verbunden, die ausgangsseitig über eine Steuerleitung mit einem irreversiblen Speicherelement verbunden ist. Dabei ist das Speicherelement ausgangsseitig mit der Startlogikschaltung verbunden. Es wird bei fehlerfreier Matrix programmiert, d. h. wenn keine Redundanz-Bit- bzw. Wortleitungen zugeschaltet werden müssen. Damit werden Speicherschaltkreise für schnelle Betriebsbereitschaft selektiert. Vorteilhaft ist neben der Einsparung von Testerzeit auch die Möglichkeit der Reparatur von Langzeit-Bitfehlern, da eine Programmierung bei jedem Einschalten erfolgt.

Die Erfindung ist nachstehend anhand eines Ausführungsbeispiels und von sechs Zeichnungen näher erläutert.

Dabei zeigen

Fig. 1 das Blockschaltbild eines 1 MDRAM mit einem Selbsttest-Prozessor zur Durchführung des internen Selbsttest- und Redundanzprogrammierungsverfahrens,

Fig. 2 das Blockschaltbild des Selbsttest-Prozessors

Fig. 3 das Blockschaltbild der Auswerte- und Startlogik des Selbsttest-Prozessors

Fig. 4 einen Redundanz-Bitdekoder

Fig. 5 einen Redundanz-Wortdekoder

Fig. 6 eine schematische Darstellung des Verfahrensablaufes.

Der in Fig. 1 dargestellte Speicherschaltkreis (1) besteht aus folgenden Blöcken, die innerhalb des dRAM in bekannter Weise verknüpft sind. Eine Speichermatrix (2) mit Bitleitungen (2.1) und Wortleitungen (2.2) sowie Speicherzellen (2.3) in den Schnittpunkten enthält vier Redundanz-Bitleitungen (2.4) und vier Redundanz-Wortleitungen (2.5).

Der Matrix (2), die in verschiedener Form organisiert sein kann, sind Sensorverstärker (3), Bitdekoder (4) und Wortdekoder (5) sowie Redundanz-Bitdekoder (6) und Redundanz-Wortdekoder (7) zugeordnet. Eine Steuerlogik (8) mit den externen Steuersignalen (*RAS*; *CAS*; *WE*) und den Adreß-Signalen (*A0*...*A9*) ist über einen Spaltenadreß-Bus (*CASB*) mit den Bitdekodern (4) und den Redundanz-Bitdekodern (6) sowie über einen Zeilenadreß-Bus (*RASB*) mit den Wortdekodern (5) und den Redundanz-Wortdekodern (7) verbunden. Eine Dateneingangsstufe (9) und eine Datenausgangsstufe (10) sind über einen internen Datenbus (*IDAB*) mit den Sensorverstärkern (3) verbunden.

Der Steuerablauf im dRAM wird über nicht dargestellte, bekannte Steuerleitungen vorgegeben.

Weiterhin enthält der Speicherschaltkreis (1) einen Selbsttest-Prozessor (11) und eine Auswerte- und Startlogik (12) des Selbsttest-Prozessors (11), die zusammen mit den Redundanz-Bitdekodern (6), den Redundanz-Wortdekodern (7) sowie den Redundanz-Bitleitungen (2.4) und Redundanz-Wortleitungen (2.5) die zur Durchführung des Verfahrens notwendige Anordnung bilden. In Fig. 2 ist das Blockschaltbild des Selbsttest-Prozessors (11) dargestellt.

Der Selbsttest-Prozessor (11) enthält einen Mikroprogrammspeicher (13), eine Prozeß-Steuerlogik (14),

die mit dem Mikroprogrammspeicher (13) und einem Mikroprogramm-Befehlszähler (15) verbunden ist, sowie eine ALU (16) mit einer Wortbreite von 10 bit, die über einen 10 bit breiten ALU-Register-Bus (*ARB*) mit einer aus 32 Registern (17.0...17.31) zu je 10 bit bestehenden Registerbank (17) verbunden ist. Dabei sind die Ausgänge der Register (17.29...17.31) mit einer Tristate-Bustreiberstufe (18) für den Zeilen-Spalten-Adreß-Bus und Datenbus (*RASE*; *CASB*; *IDAB*) verbunden. Weiterhin enthält der Selbsttest-Prozessor (11) ein Steuersignalregister (19), das über einen Steuersignal-Bus (*PRST*) mit der Prozessorsteuerlogik (14) verbunden ist. Weiterhin ist das Steuersignalregister (19) über einen Spalten-Steuersignal-Bus (*PRSTC*) mit den Redundanz-Bitdekodern (6) und über einen Zeilen-Steuersignal-Bus (*PRSTR*) mit den Redundanz-Wortdekodern (7) verbunden. Die Prozessorsteuerlogik (14) ist über einen Steuerleitungs-Bus (*BIZ*) mit der Auswerte- und Steuerlogik (12) des Selbsttest-Prozessors (11) verbunden.

Über die Steuerleitung (*EXE*) ist die Prozessorsteuerlogik (14) mit der Steuerlogik (8) zum Verriegeln der externen Steuersignale (*RAS*; *CAS*; *WE*) und den Adreß-Signalen (*A0*...*A9*) verbunden.

In Fig. 3 ist die Auswerte- und Steuerlogik (12) des Selbsttest-Prozessors (11) dargestellt. Sie enthält einen Selbsttest-Zustandsmultiplexer (20), welcher mit dem Selbsttest-Prozessor (11) über den Steuerleitungs-Bus (*BIZ*) und mit der Steuerlogik (8) über einen Steuerleitungs-Bus (*DSTB*) verbunden ist.

Der Zustandsmultiplexer (20) liegt am Gate eines Open-Drain-Transistors (21) an, dessen Drain mit einem Ausgangspin (*MR*) sowie einem Resetsignaltrigger (22) verbunden ist. Der Ausgang des extern gestarteten Resetsignaltriggers (22) ist über eine Steuerleitung (*BIRST*) mit einer Startlogikschaltung (23) verbunden und bewirkt einen externen Start des Selbsttestverfahrens. Weiterhin ist der Zustandsmultiplexer (20) über eine Steuerleitung (*PREN*) mit einer Programmierschaltung (24) verbunden, die über eine Steuerleitung (*IPRST*) mit einem irreversiblen Speicherelement (25) verbunden ist. Das Speicherelement (25) ist ausgangsseitig über eine Steuerleitung (*BISTE*) und der Steuerleitungs-Bus (*DSTB*) über eine Steuerleitung (*POST*) mit der Startlogikschaltung (23) verbunden, die ausgangsseitig über eine Steuerleitung (*BIS*) mit dem Steuerleitungs-Bus (*BIZ*) verbunden ist.

Wie in Fig. 4 dargestellt ist, besteht jeder der Redundanz-Bitdekoder (6) aus neun Assoziativspeicherzellen (30.0...30.8). Dabei enthält jede Assoziativspeicherzelle (30.n) eine sRAM-Zelle (31) mit vier, ein Speicher FF bildende Transistoren (31.1...31.4) sowie zwei Auswahltransistoren (31.5; 31.6) zum Schreiben der Information in die sRAM-Zelle (31). Die Auswahltransistoren (31.5; 31.6) sind zwischen der zugehörigen Adreß-Leitung (*A.nCAS*); (*A.nCAS*) und dem entsprechenden Ausgang (*Q*;  $\bar{Q}$ ) der sRAM-Zelle (31) angeordnet und deren Gates sind mit einer Schreibleitung (*WRR*) verbunden.

Weiterhin enthält jede Assoziativspeicherzelle (30.n) einen Komperator (32) der zwischen einer, allen Assoziativspeicherzellen (30.0...30.8) zugeordneten Redundanz-Auswahlleitung (*RAL*) und Masse (*M*) zwei Reihenschaltungen von je zwei nMOS-Transistoren (32.1...32.4) enthält. Deren Gates werden dabei von den Adreß-Leitungen *A.nCAS*; (*A.nCAS*) sowie den Ausgängen (*Q*;  $\bar{Q}$ ) der sRAM-Zelle (31) angesteuert. Ein Schreibsignaldekoder (33), an dem der Spalten-Steuers-

gnal-Bus (*PRSTC*) anliegt, führt am Ausgang die zugehörige Schreibleitung (*WRR*).

Ein Redundanz-Gültigkeits-FF (34) aus vier FF-Transistoren (34.1 ... 34.4) enthält zwischen den Ausgängen (*P*;  $\bar{P}$ ) und Masse (*M*) zwei Transistoren (34.5; 34.6), wobei am Transistor (34.5) die Steuerleitung (*BRES*) des Spalten-Steuersignal-Bus (*PRSTC*) und am Transistor (34.6) die Schreibleitung (*WRR*) anliegt. Ein Transistor (34.7), an dem der Ausgang ( $\bar{P}$ ) anliegt, ist zwischen der Redundanz-Auswahlleitung (*RAL*) und Masse (*M*) angeordnet.

Ein vom Ausgang (*P*) gesteuerter pMOS-Transistor (35.1) und ein vom Vorladetakt (*TBV*) gesteuerter Vorladetransistor (35.2) sind zwischen der Betriebsspannung ( $U_{cc}$ ) und der Redundanz-Auswahlleitung (*RAL*) angeordnet. Die Redundanz-Auswahlleitung (*RAL*) und ein dRAM-interner Steuertakt (*TBC*) bilden die Eingänge eines AND-Gatters (36) mit dem Redundanz-Bitleitungs-Auswahlsignal (*RBL*) als Ausgang. Weiterhin ist die Redundanz-Auswahlleitung (*RAL*) mit einem Negator (37) verbunden, dessen Ausgang das Deselektier-Steuersignal (*DEBL*) für die Bitdekoder (4) der Speichermatrix (2) führt.

In Fig. 5 ist ein Redundanz-Wortdekoder (7) dargestellt, der 8 Assoziativspeicherzellen (40.0 ... 40.7) enthält, die aus einer sRAM-Zelle (41) und einem Komparator (42) bestehen. Dieser Aufbau entspricht dem beim Redundanz-Bitdekoder (6).

Ein Schreibsignaldekoder (43), an dem der Zeilen-Steuersignal-Bus (*PRSTR*) anliegt, führt ausgangseitig die zugehörige Schreibleitung (*WRR*). Ein Redundanz-Gültigkeits-FF (44) mit den Transistoren (44.1 ... 44.7) wird von der Steuerleitung (*BRES*) des Zeilen-Steuersignal-Bus (*PRSTR*) sowie von der Schreibleitung (*WRR*) gesteuert und steuert seinerseits den Transistor (44.7), der zwischen der zugehörigen Redundanz-Auswahlleitung (*RAL*) und Masse (*M*) angeordnet ist.

Ein von der Steuerleitung (*TSWL*) und der Redundanzauswahlleitung (*RAL*) gesteuertes NAND-Gatter (45.1) steuert einen Nachladetransistor (45.2), der zwischen der Versorgungsspannung ( $U_{cc}$ ) und der Redundanzauswahlleitung (*RAL*) angeordnet ist, sowie einen Negator (45.3), dessen Ausgang das Deselektier-Steuersignal (*DEWL*) für die Wortdekoder (5) der Speichermatrix (2) führt.

Weiterhin ist zwischen der Versorgungsspannung ( $U_{cc}$ ) und der Redundanz-Auswahlleitung (*RAL*) ein pMOS-Transistor (46.1), der vom Redundanz-Gültigkeits-FF (44) gesteuert wird und ein vom Vorladetakt (*TWV*) gesteuerter Vorladetransistor (46.2) angeordnet. Die Redundanz-Auswahlleitung (*RAL*) ist über einen Negator (47) mit einem Negator (48) und mit dem Gate eines Treibertransistors (49.1) zwischen dem Ausgang und Masse verbunden. Der Negator (48) ist über einen  $U_{cc}$ -gesteuerten Barrieretransistor (50) mit dem Gate eines zweiten Treibertransistors (49.2) zwischen der Versorgungsspannung ( $U_{cc}$ ) und dem Ausgang verbunden, wobei der Ausgang das Redundanz-Wortleitungs-Auswahlsignal (*RWL*) führt.

In Fig. 6 ist der Verfahrensablauf schematisch dargestellt. Beim Anlegen der Versorgungsspannung ( $U_{cc}$ ) gibt die Steuerlogik (8) nach Erreichen der internen Stabilität über die Steuerleitung (*POST*) des Steuerleitungs-Bus (*DSTB*) das Freigabesignal an die Auswertungs- und Startlogik (12). Der noch nicht aktive Speicherschaltkreis (1) meldet diesen Zustand über den Steuerleitungs-Bus (*BIZ*), den Zustandsmultiplexer (20), den Transistor (21) und das Ausgangspin (*MR*) an die Peri-

pherie.

Über das aktivierte Steuersignal (*BIS*) wird das als Mikroprogramm gespeicherte Verfahren gestartet. Als erstes werden über die Steuerleitung (*EXE*) bei Aktivierung alle externen Steuersignale (*RAS*; *CAS*; *WE*) die Adreß-Signale (*A0* ... *A9*) sowie die Datenein-/ausgänge (*DIN*; *DOUT*) verriegelt. Der Zugriff zu den Zeilen-/Spalten-Adreß-Bus (*RASB*; *CASB*) sowie zum Datenbus (*IDAB*) erfolgt ausschließlich für den Selbsttest-Prozessor (11).

Der erste Teil des Selbsttestes besteht aus dem Test des Selbsttest-Prozessors (11) selbst, welcher aus der Prüfsummenbildung für den Mikroprogrammspeicher (13), dem Test der ALU (16), dem Test der Registerbank (17) und dem Test der Prozessorsteuerlogik (14) besteht. Diese Tests werden durch die Ausführung eines Mikroprogramms, d. h. durch Modifizieren des Mikroprogramm-Befehlszählers (15) durch die Prozessorsteuerlogik (14), Adressieren eines Mikrobefehls im Mikroprogrammspeicher (13) durch den Befehlszähler (15), Auswerten des ausgelesenen Befehlswortes durch die Prozessorsteuerlogik (14), setzen der daraus resultierenden Steuersignale für die ALU (16) und der Registerbank (17) sowie Vorbereitung des nächsten Mikrobefehls durch erneutes Modifizieren des Befehlszählers (15) durchgeführt.

Im nächsten Verfahrensschritt werden die Bit- und Wortdekoder (4; 5) durch Ausführen von internen Lese-Schreib-Zyklen über den Spalten-/Zeilen-Adreß-Bus (*CASB*; *RASB*) sowie den Datenbus (*IDAB*) geprüft.

Nach erfolgreicher Beendigung dieser Verfahrensschritte wird im nächsten Verfahrensschritt über Lese-Schreib-Zyklen die Speichermatrix (2) geprüft und die Bitfehleradressen in der Registerbank (17) des Selbsttest-Prozessors (11) gespeichert. Auf Grund der typischen internen Organisation eines dRAMS werden gleichzeitig über den internen Datenbus mehrere Speicherzellen gelesen bzw. beschrieben. Der Test erfolgt dabei mit einem allgemein bekannten Speichertestalgorithmus, z. B. dem Marching-Test.

Treten beim Test der Matrix keine Bitfehler auf, so wird dieser Zustand über den Steuerleitungsbus (*BIZ*) dem Zustandsmultiplexer (20) gemeldet, der über die jetzt aktivierte Signalleitung (*PREN*) die Programmschaltung (24) einschaltet, wodurch das irreversible Speicherelement (25) über die Steuerleitung (*IPRST*) gesetzt wird.

Bei einem über das Ausgangspin (*MR*) und den Reset-signaltrigger (Steuerleitung *BIRST*) möglichen Neustart wird der Neustart über die Steuerleitung (*BISTE*) blockiert.

Diese Speicherschaltkreise (1) können somit für Sonderzwecke selektiert werden, da kein Selbsttest beim Einschalten erfolgt, z. B. für Einsatzzwecke mit sofortiger Betriebsbereitschaft. Im folgenden Verfahrensschritt wird die optimale Benutzung der redundanten Teile der Matrix (2) bei gegebenen Fehlerbild berechnet und die berechneten Adressen werden über den Spalten-/Zeilenadreß (*CASB*; *RASB*) an die Redundanz-Bit-/Wortdekoder (6; 7) angelegt und über den Spalten-/Zeilen-Steuersignal-Bus (*PRSTC*; *PRSTR*) in die zugehörigen Assoziativspeicherzellen (30.n; 40.n) eingeschrieben. Dazu wird die entsprechende Schreibleitung (*WRR*) aktiviert und die Auswahltransistoren (31.5; 31.6) bzw. (41.5; 41.6) der ausgewählten Assoziativspeicherzellen (30.n; 40.n) werden geöffnet. Damit werden die auf den zugehörigen Adreß-Leitungen (*A.n CAS*; (*A.n CAS*) bzw. (*A.n RAS*; (*A.n RAS*) anliegenden Feh-

leradressen in die sRAM-Zelle (31; 41) eingeschrieben. Weiterhin wird bei Redundanzprogrammierung das am Beginn des Verfahrens bzw. bei Neustart über die Steuerleitung (*BRES*) rückgesetzte Redundanz-Gültigkeits-FF (34; 44) über die Transistoren (34.6; 44.6) gesetzt.

Dadurch wird der Transistor (34.7; 44.7) gesperrt und die Redundanz-Auswahlleitung (*RAL*) kann aktives high-Potential annehmen. Mit Einschreiben aller Fehleradressen sind die fehlerhaften Leitungen durch Redundanz-Bit-/Wortleitungen (2.4; 2.5) ersetzt.

Im nächsten Verfahrensschritt werden die programmierten Redundanz-Bit/Wortleitungen (2.4; 2.5) ebenfalls nach dem Testalgorithmus geprüft. Falls bei auftretendem Fehler noch freie Redundanz-Bit-/Wortleitungen (2.4; 2.5) vorhanden sind, werden diese ausgewählt und ebenfalls dem Test unterzogen. Beim Auftreten von nichtreparablen Fehlern verbleibt der Speicherschaltkreis im inaktiven Zustand, hingegen wird beim positiven Abschluß des Verfahrens durch den Selbsttestprozessor (11) über den Steuerleitungsbus (*BIZ*) der Zustandsmultiplexer (20) rückgesetzt, wodurch der Open-Drain-Transistor (21) wieder sperrt und das Signal am Ausgangspin (*MR*) bei extern eingepufferter Spannung aktiv wird.

#### Patentansprüche

1. Internes Selbsttest- und Redundanzprogrammierungsverfahren für Speicherschaltkreise, bei dem nach Anlegen der Betriebsspannung und Erreichen der internen Stabilität das intern gespeicherte Selbsttestverfahren gestartet wird, wobei die externen Steuereingänge und Adressen sowie die Datenein-/ausgänge des Speicherschaltkreises verriegelt werden, wobei danach ein verwendeter Selbsttest-Prozessor intern geprüft wird, die Datenwege des Speicherschaltkreises geprüft werden und anschließend die Matrix mit den Speicherzellen geprüft wird, wobei danach die Fehleradressen in einer Registerbank des Selbsttest-Prozessors gespeichert werden und aus der Verteilung der Fehleradressen bei Reparierbarkeit die optimale Redundanzstruktur ermittelt wird und wobei nach Redundanz-Bitleitungen bzw. -Wortleitungen dem Selbsttest unterzogen werden, gekennzeichnet dadurch, daß entsprechend der ermittelten Redundanzstruktur eine interne Programmierung von Redundanz-Bitdekodern (6) bzw. von Redundanz-Wortdekodern (7) durchgeführt wird, die löschbare Assoziativspeicherzellen (30) enthalten und die den Redundanz-Bitleitungen (2.4) bzw. den Redundanz-Wortleitungen (2.5) zugeordnet sind, daß bei Redundanzprogrammierung ein zu Beginn des Selbsttestes rückgesetztes Redundanz-Gültigkeits-FF (34; 44) gesetzt wird, daß die positive Beendigung des Selbsttestverfahrens durch die Freigabe der verriegelten Steuereingänge (*RAS*; *CAS*; *WE*; *A0* ... *A9*; *DIN*; *DOUT*) und ggf. durch ein Signal an einem Ausgangspin (*MR*) erfolgt und daß bei einer fehlerfreien Speichermatrix (2) ein irreversibles Speicherelement (25) ggf. programmiert wird.

2. Anordnung zur Durchführung des Selbsttest- und Redundanzprogrammierungsverfahrens nach Anspruch 1, wobei die Anordnung aus einem Speicherschaltkreis mit einer Matrix, Sensorverstärkern, Bit- und Wortdekodern, einer Steuerlogik, Datenein-/ausgangsstufen besteht, wobei die Matrix Redundanz-Bit- bzw. Wortleitungen und diesen

zugeordnete Redundanz-Bit- bzw. Wortdekoder enthält, wobei weiterhin der Speicherschaltkreis einen Selbsttestprozessor sowie eine Auswerte- und Startlogik enthält, wobei der Selbsttestprozessor einen Mikroprogrammspeicher, einen Steuerlogik, einen Mikroprogramm-Befehlszähler, eine arithmetisch-logische Verarbeitungseinheit, eine Registerbank mit einer der Zahl der Redundanzleitungen entsprechenden Anzahl von Registern und eine Tristate-Bustreiberstufe enthält, und wobei die Auswerte- und Startlogik einen Selbsttest-Zustandsmultiplexer und eine Startlogikschialtung enthält, die mit der Peripherie verknüpft sind, gekennzeichnet dadurch, daß die Prozessorsteuerlogik (14) über einen Steuersignal-Bus (*PRST*), der die zu ersetzenden Adreß-Signale führt, mit einem Steuersignalregister (19) verbunden ist, daß das Steuersignalregister (19) über einen Spalten-Zeilen-Steuersignal-Bus (*PRSTC*; *PRSTR*) mit den Redundanz-Bit- bzw. Wortdekodern (6; 7) verbunden ist, daß die Redundanz-Bit- bzw. Wortdekoder (6; 7) Assoziativspeicherzellen (30.n; 40.n), bestehend aus je einer sRAM-Zelle (31) und einem Komparator (32), entsprechend der Zahl der bei der Organisationsform benötigten Adreß-Leitungen (*A.n*; *A.n*) enthält, daß jedem Redundanz-Bit-bzw. Wortdekoder (6; 7) ein vom zugehörigen Spalten- bzw. Zeilen-Steuersignal-Bus (*PRSTC*; *PRSTR*) gesteuerter Schreibsignaldekoder (33; 43) zugeordnet ist, dessen ausgangsseitige Schreibleitung (*WRR*) mit den Gates der Auswahltransistoren (31.5; 31.6) bzw. (41.5; 41.6) in den Assoziativspeicherzellen (30.n; 40.n) verbunden ist, daß jedem Redundanz-Bit-bzw. Wortdekoder (6; 7) ein Redundanz-Gültigkeits-FF (34; 44) zugeordnet ist, dessen Rücksetzeingang mit einer Steuerleitung (*BRES*) im Spalten-Zeilen-Steuersignalbus (*PRSTC*; *PRSTR*) und dessen Setzeingang mit der Schreibleitung (*WRR*) verbunden ist und dessen Ausgang (*P*) am Gate eines zwischen einer an sich bekannten Redundanz-Auswahlleitung (*RAL*) in den Redundanz-Bit- bzw. Wortdekoder (6; 7) und Masse (*M*) angeordneten Transistor anliegt, daß die Auswerte- und Startlogik einen vom Zustandsmultiplexer (20) gesteuerten Open-Drain-Transistor (21) und einen Resetsignaltrigger (22) sowie ggf. weitere Programmiermittel enthält.

3. Anordnung nach Anspruch 1, gekennzeichnet dadurch, daß der Zustandsmultiplexer (20) über eine Steuerleitung (*PREN*) mit einer Programmierschialtung (24) verbunden ist, die ausgangsseitig über eine Steuerleitung (*TPRST*) mit einem irreversiblen Speicherelement (25) verbunden ist und daß das Speicherelement (25) ausgangsseitig mit der Startlogikschialtung (12) verbunden ist.

Hierzu 6 Seite(n) Zeichnungen

— Leerseite —

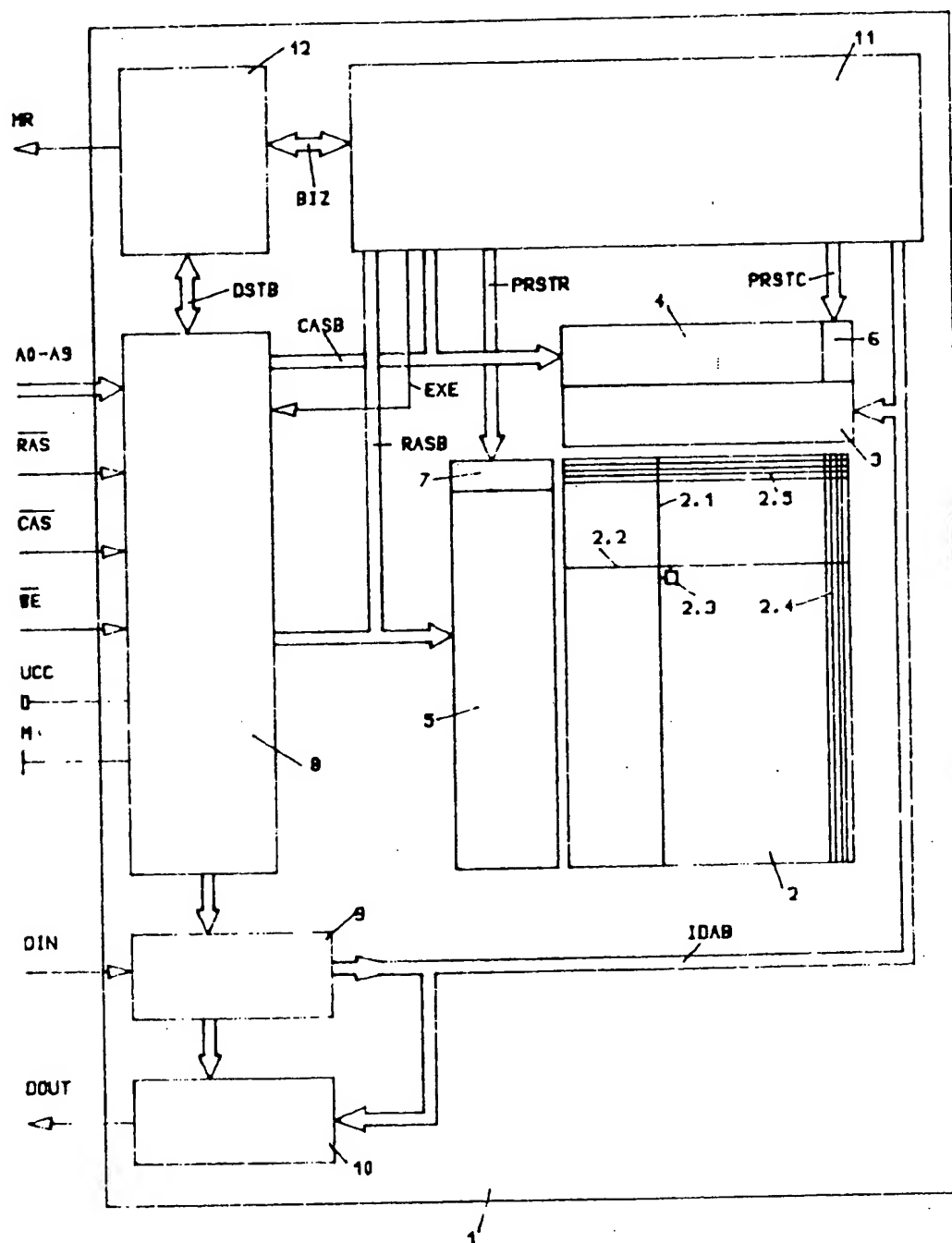


Fig. 1



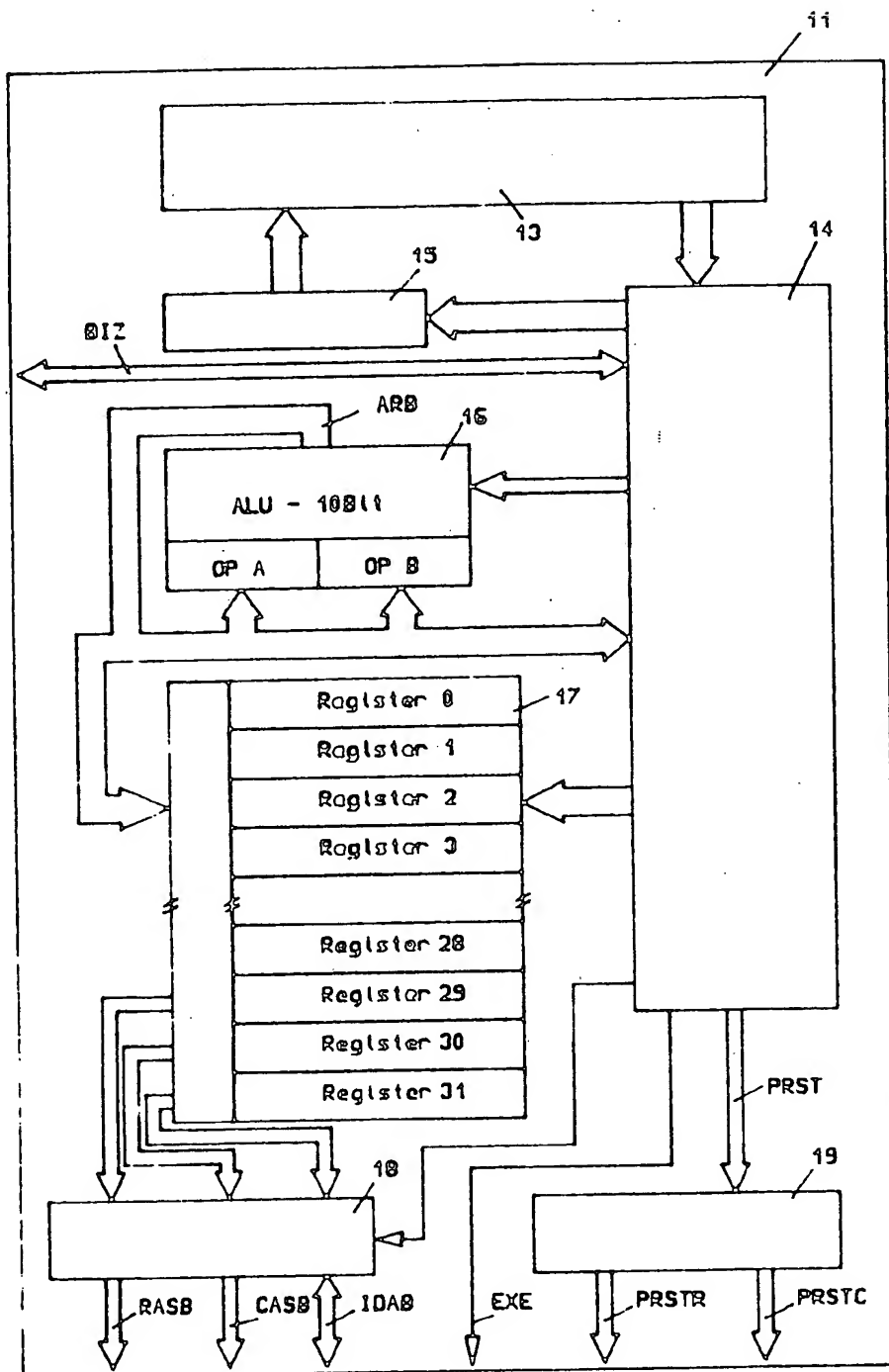


Fig. 2

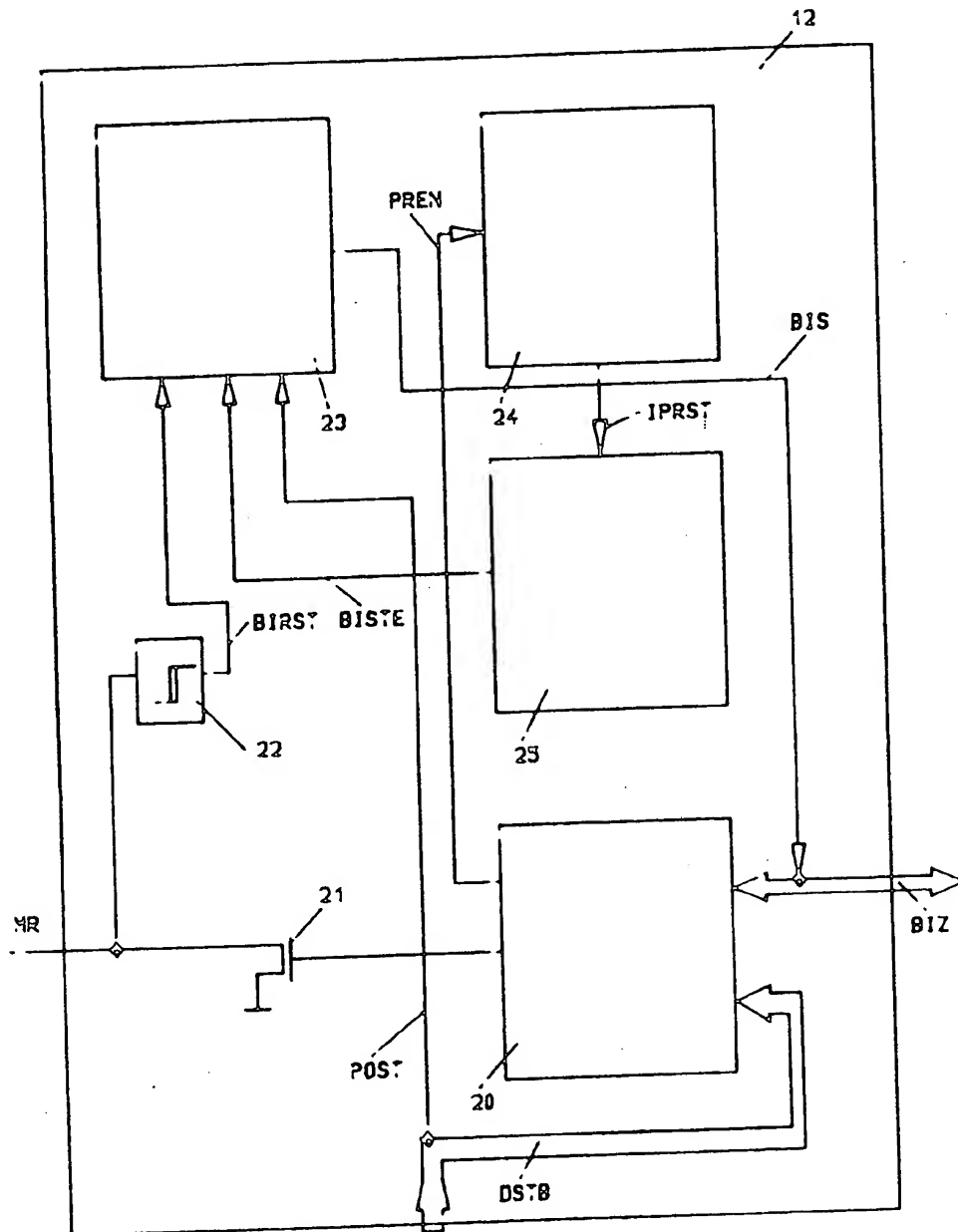


Fig. 3

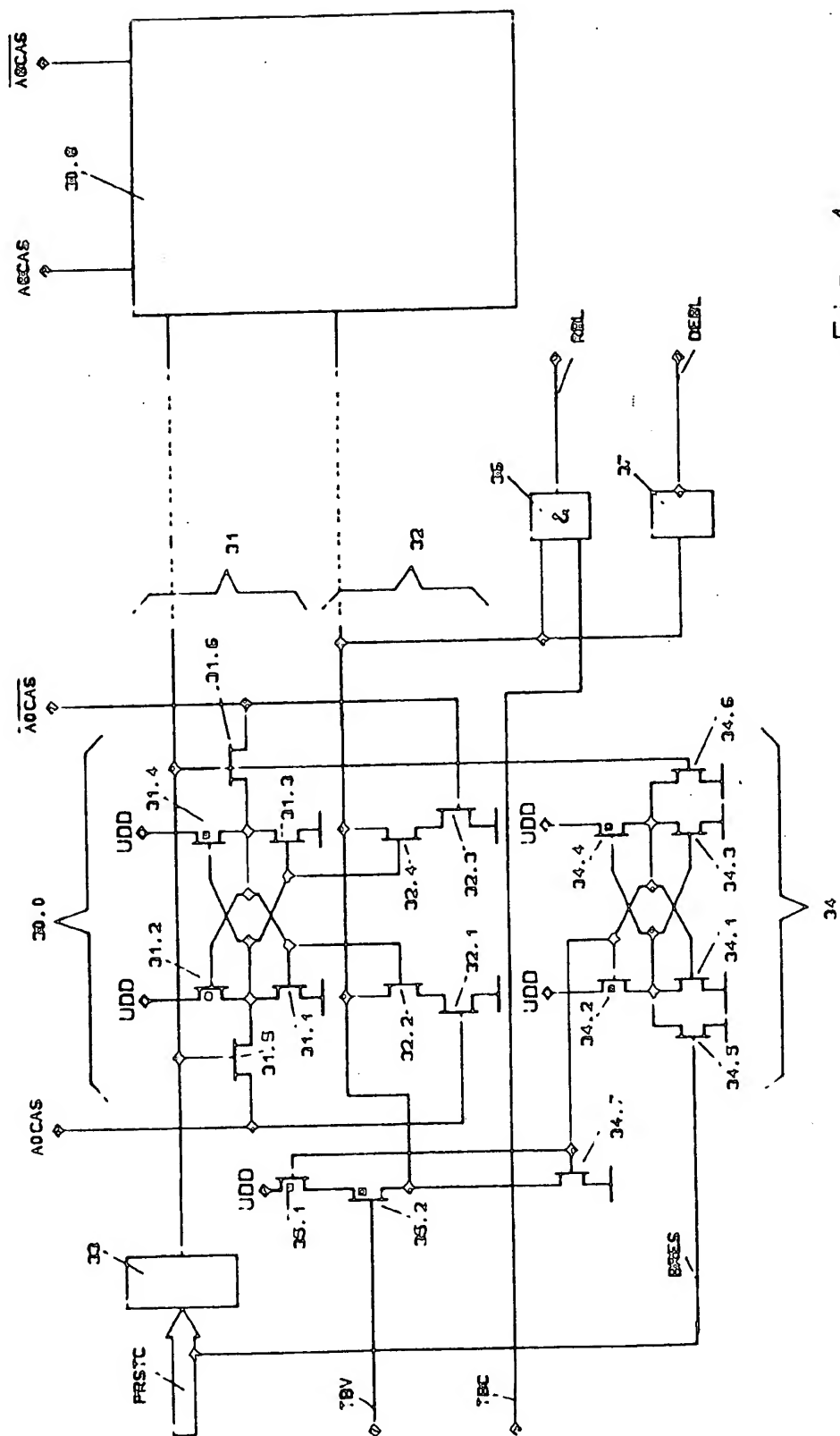
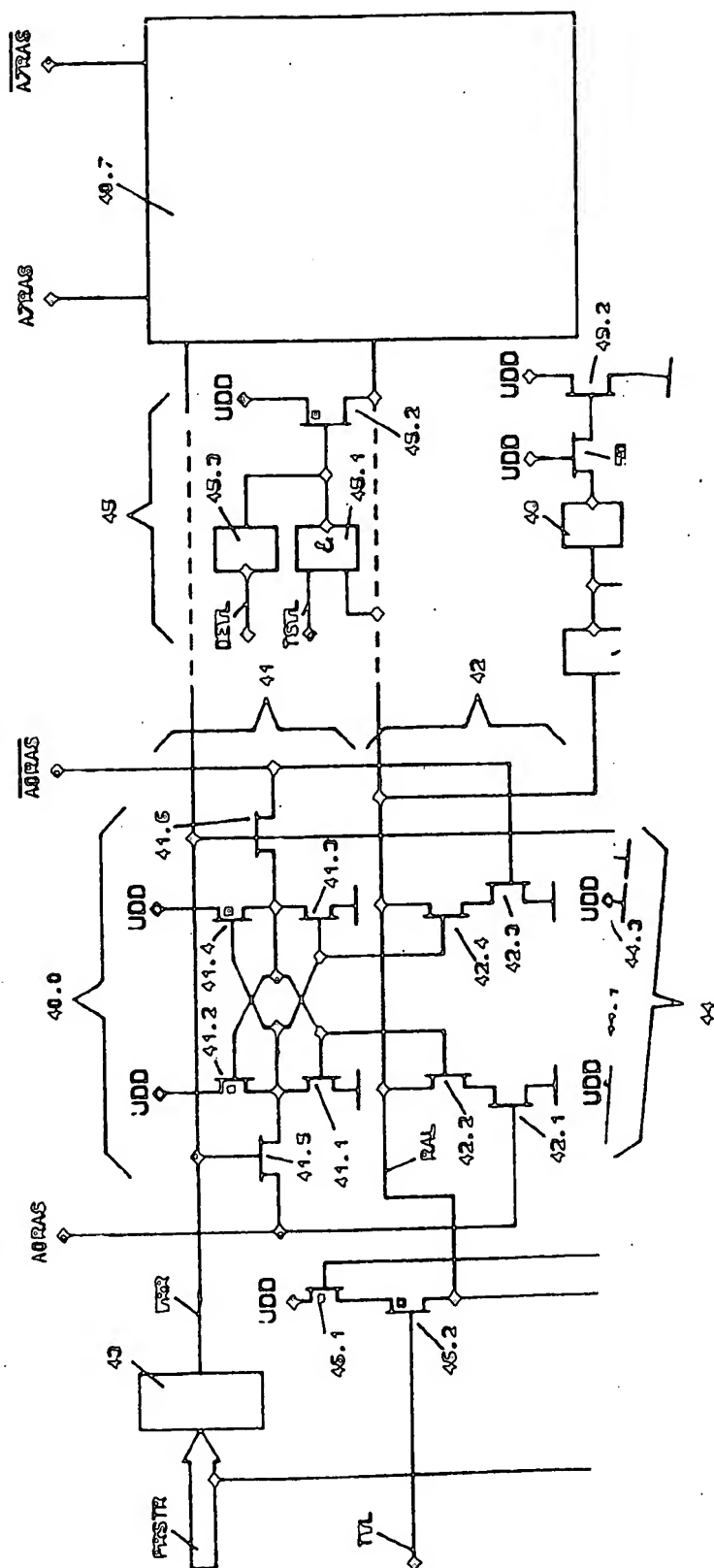


Fig. 4



၆၂၅

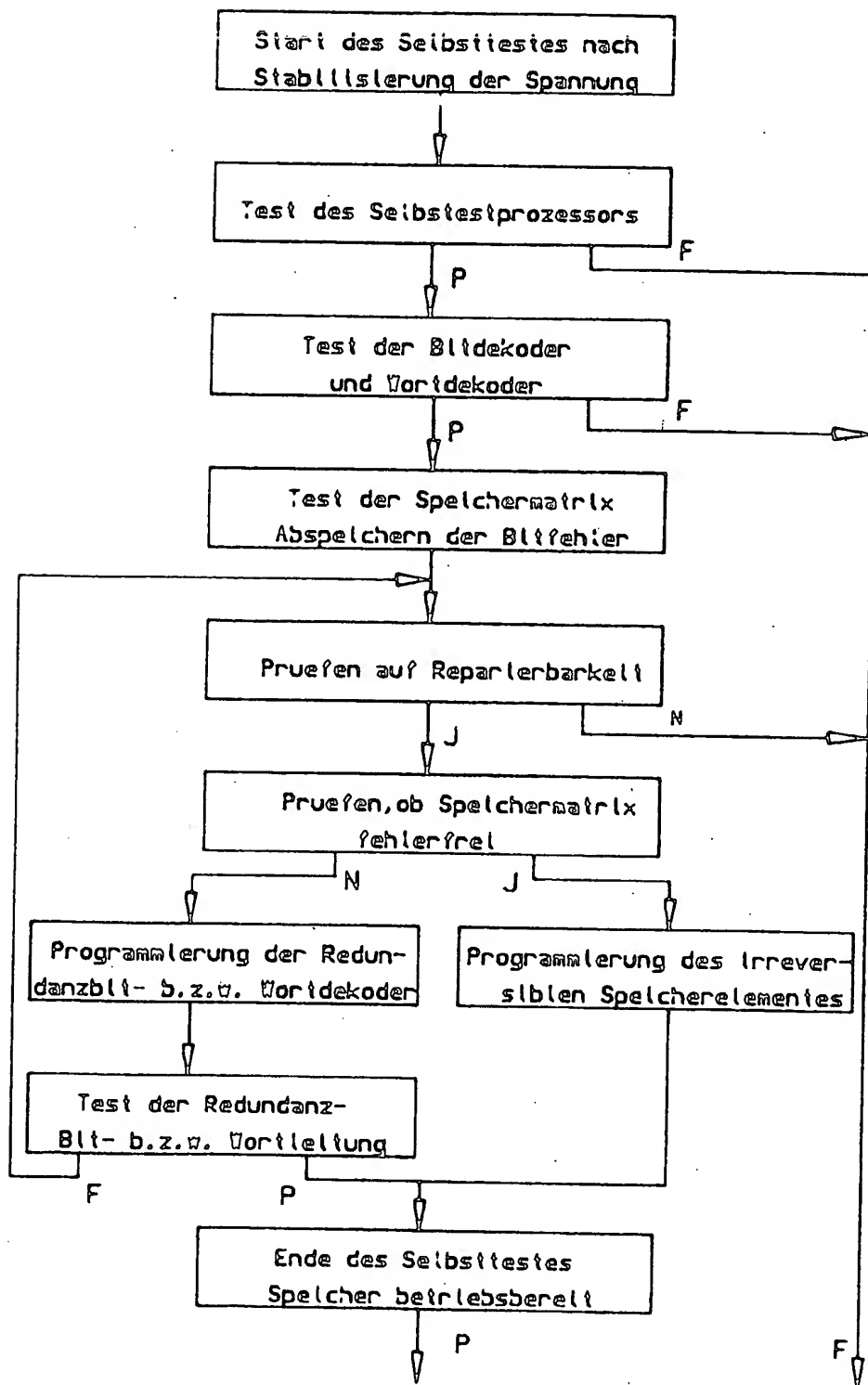


Fig. 6